国立天文台 殿

# FPGA 型分散相関処理装置
# （一基線タイプ）
# VDC-100F

# 取扱説明書

第1.0版 平成１８年（２００６年）３月３０日

エレックス工業株式会社

文書番号：０６－Ａ０３０号

履歴

| 版数 | 作成日時 | 担当 | 内容 |
|---|---|---|---|
| 1.0 | '06.03.30 | | 初版 |
| | | | |

# も く じ

安全にお使いいただくために ..... 4
1 概要 ..... 5
1.1 装置概要 ..... 5
1.2 概略仕様 ..... 5
1.3 適用範囲 ..... 5
2 外観および各部の機能 ..... 6
2.1 相関ユニット ..... 6
2.1.1 正面 ..... 6
2.1.2 背面 ..... 7
2.1.3 内部ボード ..... 8
2.2 電源ユニット ..... 9
2.2.1 正面 ..... 9
2.2.2 背面 ..... 9
3 装置構成 ..... 10
4 機能 ..... 11
4.1 機能概要 ..... 11
4.1.1 遅延補正部 ..... 11
4.1.2 相関処理部 ..... 11
4.2 相関処理部の機能詳細 ..... 12
4.2.1 F部構成 ..... 12
4.2.2 X部構成 ..... 14
4.2.3 積分処理制御部 ..... 15
5 制御計算機インターフェイス ..... 19
5.1 接続概要 ..... 19
5.2 コマンド概要 ..... 19
5.3 コマンド一覧 ..... 20
5.3.1 動作制御 ..... 20
5.3.2 初期設定 ..... 20
5.3.3 予測値計算/補正パラメータ設定 ..... 20
5.3.4 監視/試験 ..... 20
5.3.5 保守用 ..... 21
7 外部接続 ..... 22
7.1 一基線相関部への入力データ ..... 22
7.2 入力時刻符号 ..... 22
7.3 入力信号回路構成 ..... 22
7.4 コネクタ仕様 ..... 22
7.5 インターフェイス信号 ..... 23
7.6 入力データの時系列順番 ..... 24
8 装置立ち上げ手順 ..... 25
8.1 事前確認 ..... 25
8.2 スタートシーケンス ..... 25
9 表示および操作 ..... 26
10 使用方法 ..... 27
11 システムファイル ..... 29
11.2 システムファイルの変更 ..... 29

安全にお使いいただくために

本製品を安全にお使いいただくために、製品をご使用される前に、必ず本書をお読みください。本書は、製品の不明点をいつでも解決できるように、手元に置いてお使いください。

本書は、お客様や他の人々への危害や財産への損害を未然に防止するために、内容をよくご理解のうえで本文をお読みください。

⚠警告　以下の項目を無視して、誤った取り扱いをしますと、人が死亡または重傷を負う可能性が想定される内容を示しています。

| | |
|---|---|
| 指定以外の電圧で使用しない | 指定された電源電圧以外の電圧では使用しないでください。指定外の電源電圧で使用すると、感電・火災の原因となります。 |
| 電源コード | 破損した電源コードを使用しないで下さい。感電・火災の原因となります。電源コードを取り扱う際には、次の点を守ってください。<br>・電源コードを加工しない<br>・電源コードの上に重いものを乗せない<br>・無理に曲げたり、ねじったり、引っ張ったりしない<br>・踏んだり、躓いたりしないように設置する<br>・熱器具の近くに配線しない<br>・電源コードをコンセントから抜き差しする際にはケーブル部分を引っ張らない<br>電源コードが破損したときには、エレックス工業株式会社にご相談ください。 |
| アース | 電源コードは正しい方法でアースされているコンセントに差し込んで下さい。延長する際は三線式の延長ケーブルを使用してください。コンセント形状が差し込むプラグに適さない場合は電気工事の専門家に相談してください。二芯プラグへの変換アダプタを使用する場合は、アダプタに付いているアース線をアース端子に接続の上、ご使用ください。 |
| 電源の配線 | 電源コードのたこ足配線はしないでください。発熱し、火災の原因となります。 |
| 配線操作 | 本装置と他の装置を接続するときには､それぞれの装置の電源をお切りください。 |
| ヒューズの交換 | ヒューズを交換するときは、形状および定格が同一の物をご使用下さい。指定外のヒューズを使用すると火災の原因となります。また交換の際には電源を切り電源コードをコンセントから引き抜いた状態で行って下さい。電源コードをコンセントと接続した状態でヒューズの交換を行うと感電・火災の原因となります。 |
| 雷が鳴り出したら | 雷が鳴りはじめたら、安全のため早めに電源を切り、電源コードをコンセントから抜いておいてください |
| 異常が起きたら | 煙が出たり､異常な匂いや音がするときなどそのまま使用しないで下さい｡感電・火災の原因となります。このようなときはすぐに電源を切り、電源コードをコンセントから抜き、エレックス工業株式会社にご相談ください。お客様による修理は危険ですから絶対しないでください。 |
| 内部に物や水などを入れない | 異物や水などの液体が内部に入った場合はそのまま使用しないでください。感電・火災の原因となります。このようなときはすぐに電源を切り、電源コードをコンセントから抜き、エレックス工業株式会社にご相談ください。<br>雨にあたる所等、湿気の多い所では使用しないでください。感電・火災の原因となります。<br>濡れた手で電源プラグの抜き差しをしないでください。感電の原因となります。 |
| カバーを開けない | この製品のカバーは開けないでください。また分解や改造もしないでください。けがや感電・火災の原因となります。内部の点検・調整・修理はエレックス工業株式会社にご依頼ください。 |
| 長期間使用しない | 長期間使わないときには、安全のために通電しないようにしてください。 |

# 1 概要

## 1.1 装置概要

FPGA 型分散相関処理装置(以下、VDC-100F)は、16k(16384)点 FFT による、FX 型 VLBI 用相関処理装置です。FFT アルゴリズム、フリンジ回転補正アルゴリズムの調整により、F 部の規模が大幅にコンパクトになっています。

VDC-100F は、予測値計算プログラムを内蔵しており、リアルタイム相関処理に適応しています。
観測局座標、天体座標などの観測パラメータを設定することで、相関処理予測値パラメータをリアルタイムに自動生成することが可能です。さらに、処理中に相関結果を見ながらパラメータの補正が可能です。

VDC-100F は、標準インタフェースの VSI-H に適合しており、1Gsps-2bit の入力データに対応します。
弊社のギガビット回線接続装置などと組み合わせてリアルタイム VLBI のシステムを構築することが可能です。

VDC-100F は相関ユニットと電源ユニットから構成されます。
相関ユニットには、1 基線対応分のボードが実装されています。増設オプションを実装することにより 3 基線まで対応可能です。電源ユニットは、3 基線まで拡張された場合でも、十分対応可能のものとなっています。
また、相関処理部に書換え可能な FPGA を採用していますので、将来のアップグレードにも柔軟に対応することができます。

## 1.2 概略仕様

| 項目 | 仕様 |
|---|---|
| 基線数 | 2 局 1 基線 |
| 入力インタフェース形式 | 64MHz-32bit (VSI-H 準拠)　1Gsps-2bit-1ch/局 |
| 積分時間 | 0.1 秒/1 秒 |
| 遅延補正範囲 | ±16M サンプル |
| 最大フリンジ周波数 | 3.9kHz 以下 (観測周波数 22GHz 時) |
| 相関方式 | FX 方式　相互相関 |
| FFT 点数 | 16384(16K)点 |
| 演算データ形式 | 16bit 浮動小数点(符号 1bit、指数 5bit、仮数 10bit) |
| 窓関数 | なし／Hamming／Hanning／Blackman |
| フリンジ回転補正 | 相関後位相回転方式 (位相回転は 45° 単位) |
| パルサーゲート機能 | あり |
| 相関出力 | 16384(16K)点 |
| 制御計算機インタフェース | Ethernet 10Base-T/100Base-TX |
| 使用環境温度 | +5～+35℃ |
| 使用環境湿度 | 30～80% (結露しないこと) |
| 電源入力 | AC100V 50/60Hz　単相 |
| 寸法 | JIS 標準 19 インチラック適合　本体 500mm 高、電源部 100mm 高 |

## 1.3 適用範囲

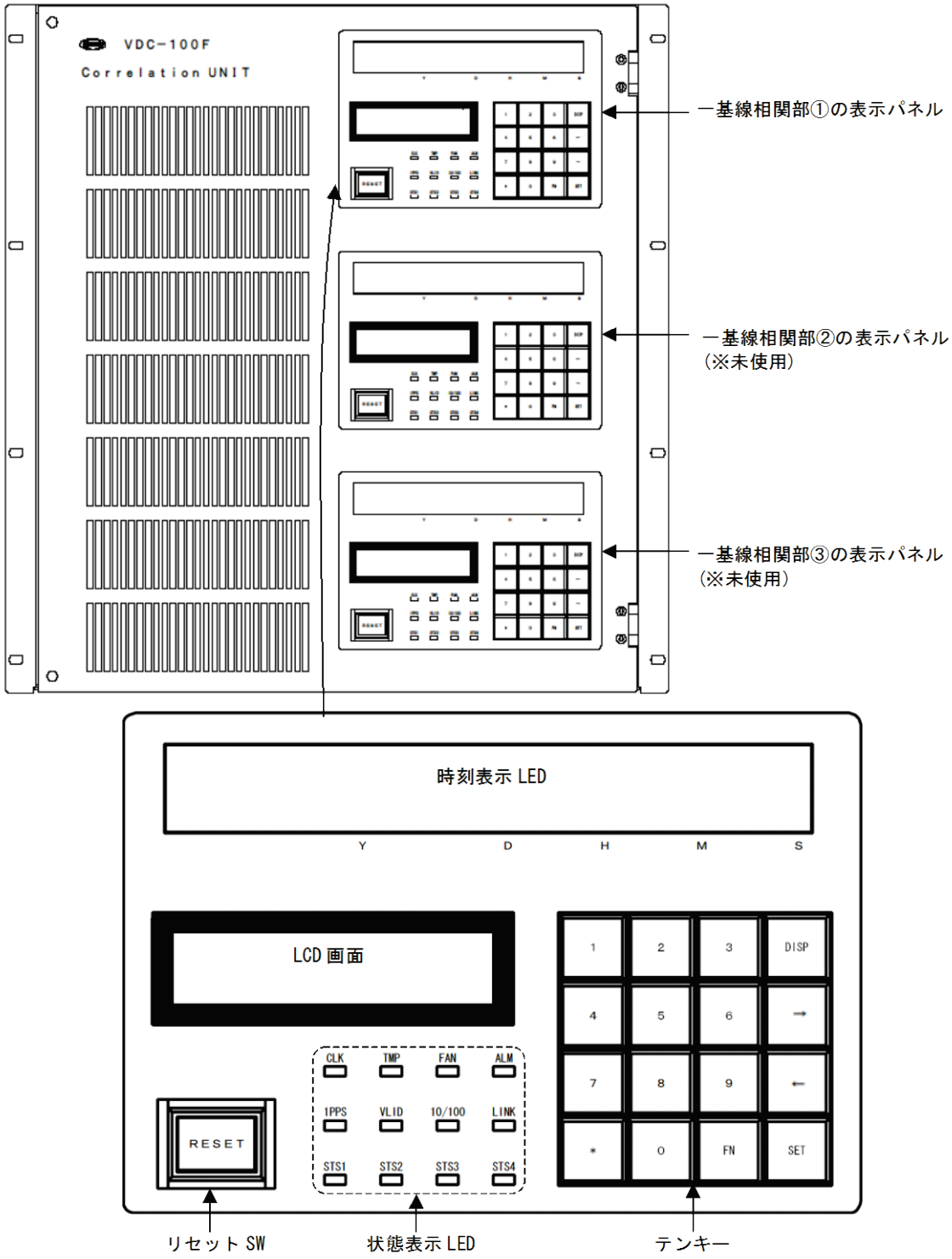
本文書は、VDC-100F の使用法および機能について記述されます。
このうち、「制御計算機インターフェイス」、「表示および操作」については、別冊の解説書を設け、本書では概要のみとします。

VDC-100F は、既存のギガビット分散相関処理装置の後継機としての性格を持ちますが、ギガビット分散相関処理装置については、必要以上の言及はしません。
また、VSI 規格、時刻符号伝送方式については周知の物とし、詳細な言及は行いません。

2 外観および各部の機能

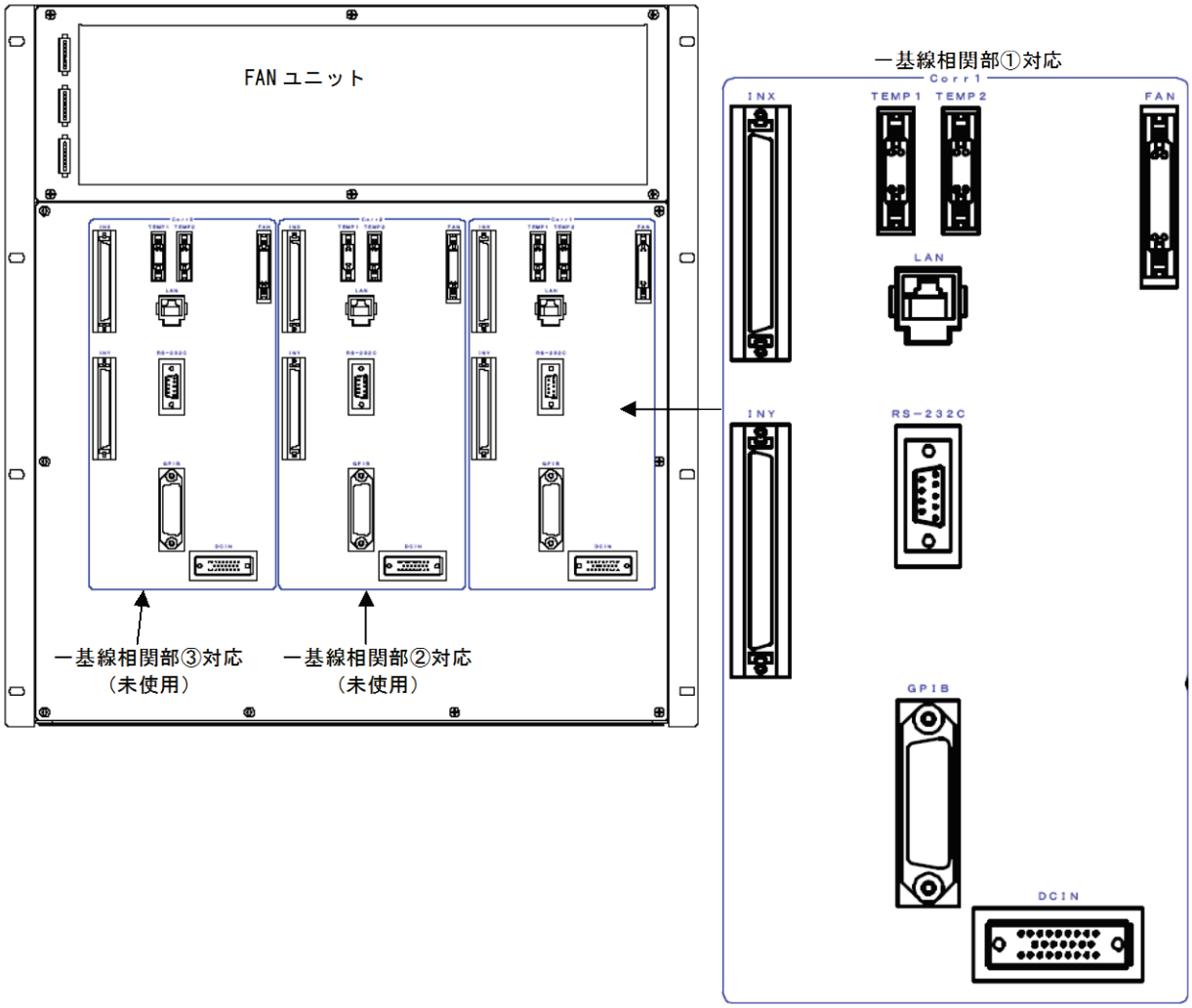
2.1 相関ユニット

2.1.1 正面



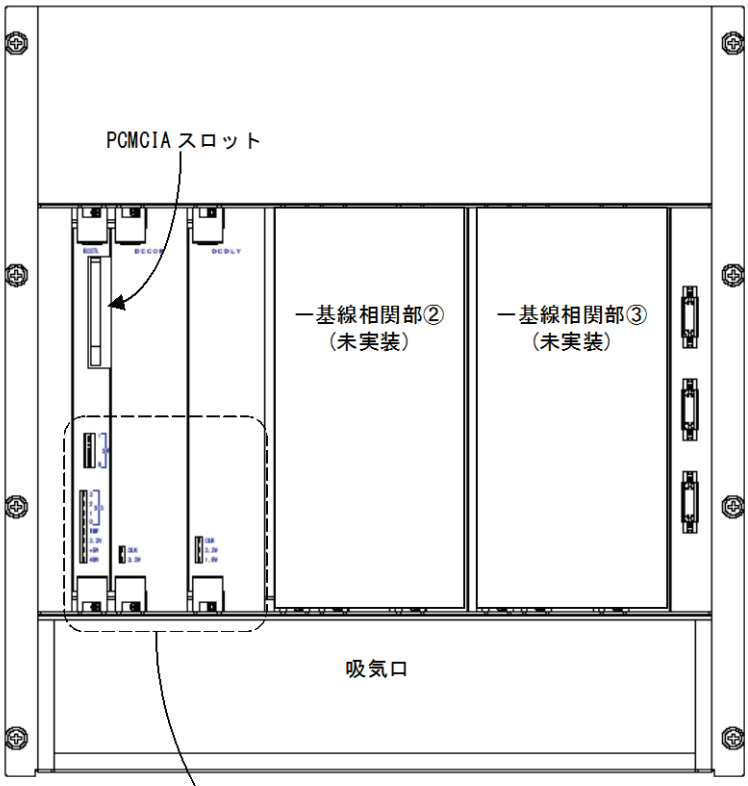

| 名称 | 機能 |
|---|---|
| リセット SW | 対応する相関部のみリセットを行います。 |
| 時刻表示 LED | 13 個の 7 セグメント LED により、基準局側の時刻符号を表示します。 |
| 状態表示 LED | 12 個の LED により、相関部の動作状態を表示します。 |
| LCD 画面 | テンキー操作に従い、入力のモニタ、設定状態の確認などを行います。 |
| テンキー | LCD 画面の表示を切り替えます。 |

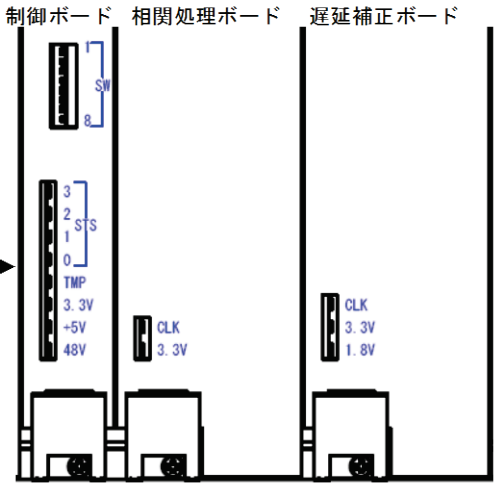
### 2.1.2 背面




| 名称 | 機能 |
|---|---|
| INX | X 局データ入力です。 |
| INY | Y 局データ入力です。 |
| TEMP1 | FAN ユニット温度センサへのインタフェースです。 |
| TEMP2 | 未使用 |
| LAN | 制御計算機とのインターフェースです。 |
| FAN | FAN ユニットへの電源供給および回転センサインターフェイスです。 |
| RS-232C | D-SUB9pin の RS-232C インタフェースです。 |
| GPIB | 未使用。 |
| DCIN | DC48V 入力です。 |
| FAN ユニット | 内部空冷のための FAN が 6 個実装されています。 |

### 2.1.3 内部ボード

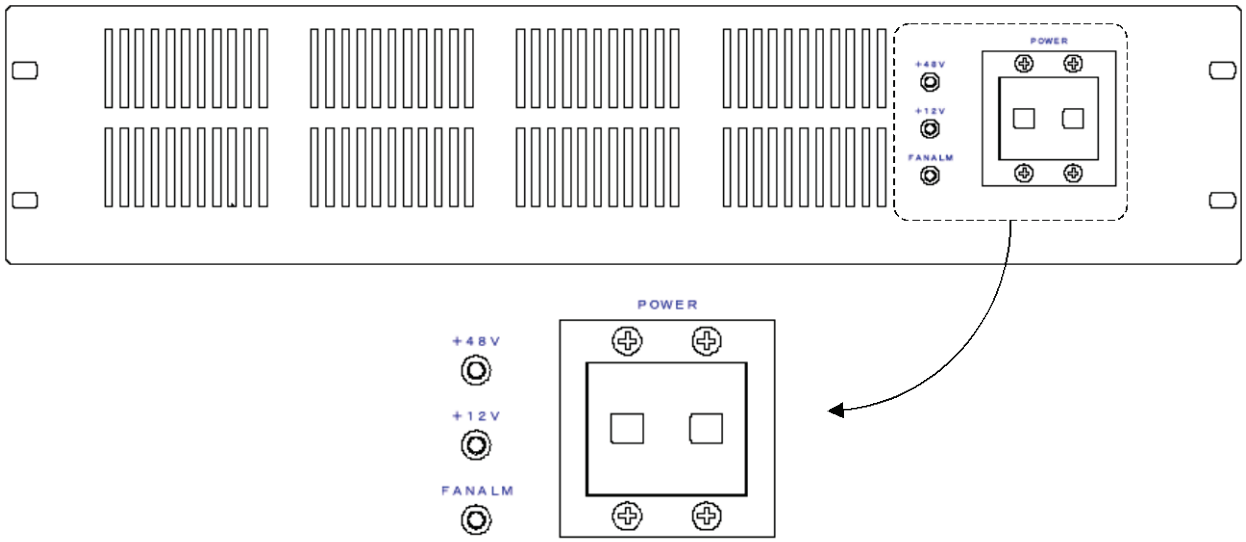



| 名称 | 機能 |
|---|---|
| PCMCIA スロット | システム設定用の CompactFlash™(CF)カードが格納されます。 |
| SW | ※保守用なので操作しないでください。 |
| 48V | 48V 入力電圧監視インジケータです。 |
| +5V | +5VDC-DC の出力電圧監視インジケータです。 |
| 3.3V | 3.3VDC-DC の出力電圧監視インジケータです。 |
| TMP | ボード内部温度監視インジケータです。 |
| STS0 | 未使用 |
| STS1 | Ethernet パケット受信インジケータとして機能します。 |
| STS2 | Ethernet パケット送信インジケータとして機能します。 |
| STS3 | 未使用 |
| 1.8V | 1.8VDC-DC の出力電圧監視インジケータです。 |
| 3.3V | 3.3VDC-DC の出力電圧監視インジケータです。 |
| CLK | CLK 監視インジケータです。 |

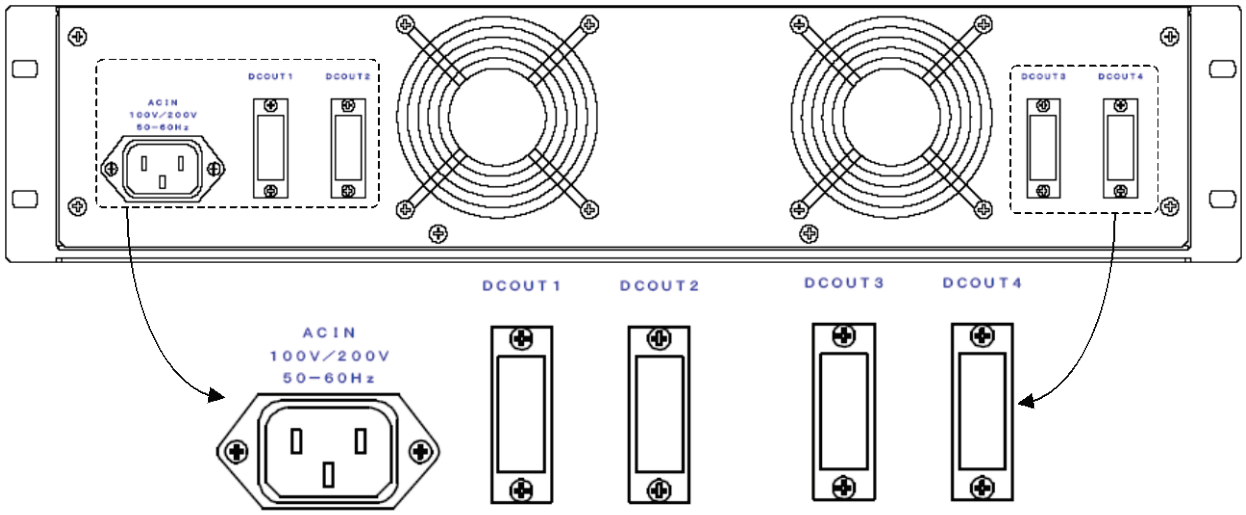
## 2.2 電源ユニット

### 2.2.1 正面




| 名称 | 意味 |
|---|---|
| POWER | 電源投入スイッチです。レバーを上げると電源が出力されます。 |
| +48V | +48V 電源電圧インジケータです。 |
| +12V | +12V 電源電圧インジケータです。 |
| FANALM | FAN 回転センサのインジケータです。 |

### 2.2.2 背面



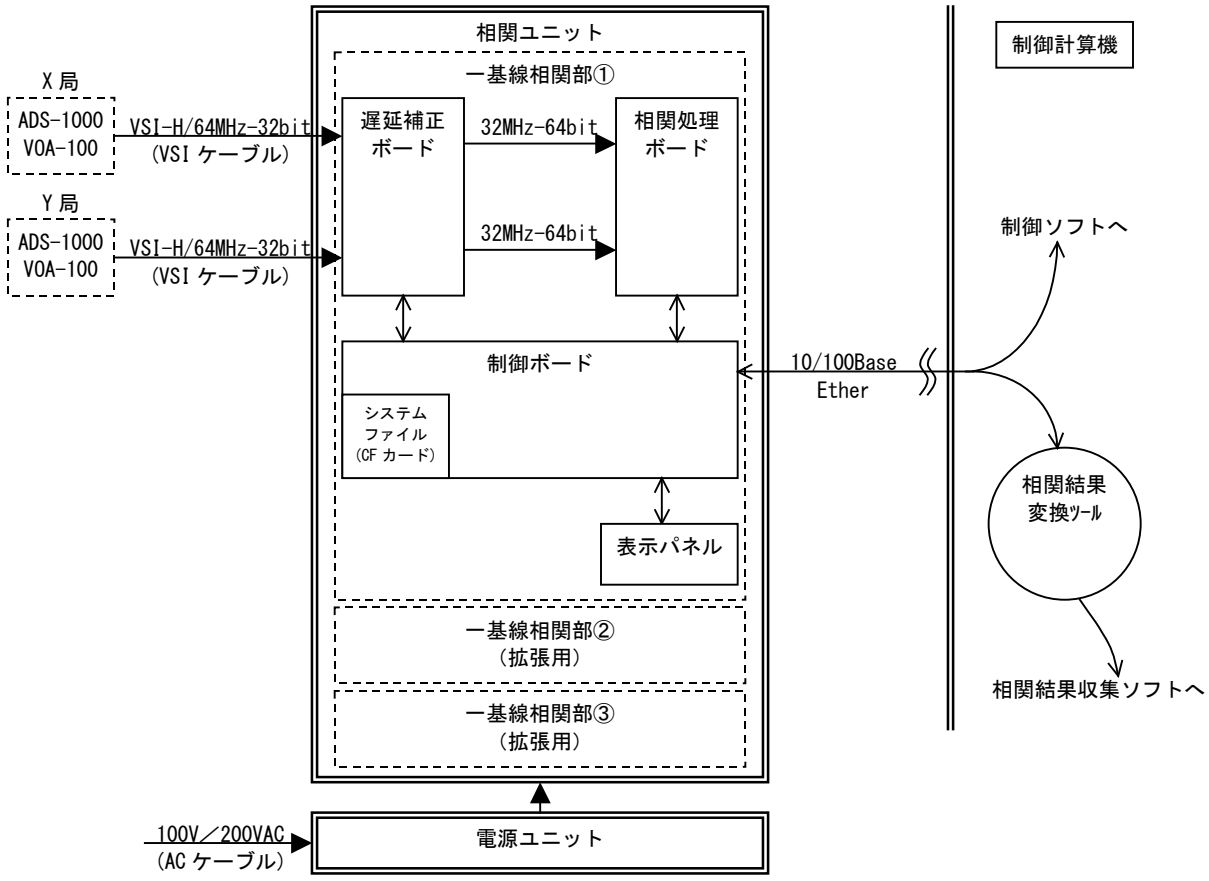

| 名称 | 意味 |
|---|---|
| DCOUT1 | DC 電源出力です。一基線タイプの場合、このうちの一つを利用します。 |
| DCOUT2 | |
| DCOUT3 | |
| DCOUT4 | |
| ACIN | AC 電源入力です。100V／200V に対応します。 |

3 装置構成

下表に VDC-100F の構成品目を示します。

| 品目 | | 数量 | 型番 | コメント |
|---|---|---|---|---|
| 相関ユニット | | 1 | 09644Z0000 | |
| | 遅延補正ボード | 1 | 09642Z0005(DCDLY) | |
| | 相関処理ボード | 1 | 09642Z0020(FXC) | |
| | 制御ボード | 1 | 09642Z0010(DCCTL) | |
| | 表示パネル | 3 | 09642Z0012(DCDSP) | ユニット扉に固定。内 2 枚は拡張用 |
| 電源ユニット | | 1 | 09644Z0020 | 3 基線＋分配部対応 |
| データケーブル | | 2 本 | 09645Z0001(VSI ｹｰﾌﾞﾙ) | X,Y それぞれ 1 本添付。ラッチタイプ |
| AC ケーブル | | 1 本 | VM1296/VM1050(3m) | |
| 相関データ変換ツール | | 1 式 | | ソフトウェアツール |
| システムファイル | | 1 式 | | CF カードに実装 |

概略の構成図を下に示します。




VDC-100F では、一基線相関部②③は、未実装です。

入力データは、相関ユニット背面のコネクタから、バックボード経由で遅延補正ボードに入力されます。
遅延補正されたデータは、バックボード経由で相関処理ボードに入力され、相関処理を行います。
相関結果は、制御ボードで読み出し、Ethernet 経由で制御計算機に出力します。
相関結果変換ツールは、ハードウェアから出力される内部演算データ形式の相関結果を、IEEE 浮動小数へ変換します。

VDC-100F は、電源投入直後、CF カード上のシステムファイルに基づき初期設定を行います。よって、CF カードが実装されていない状態では、装置は動作しません。

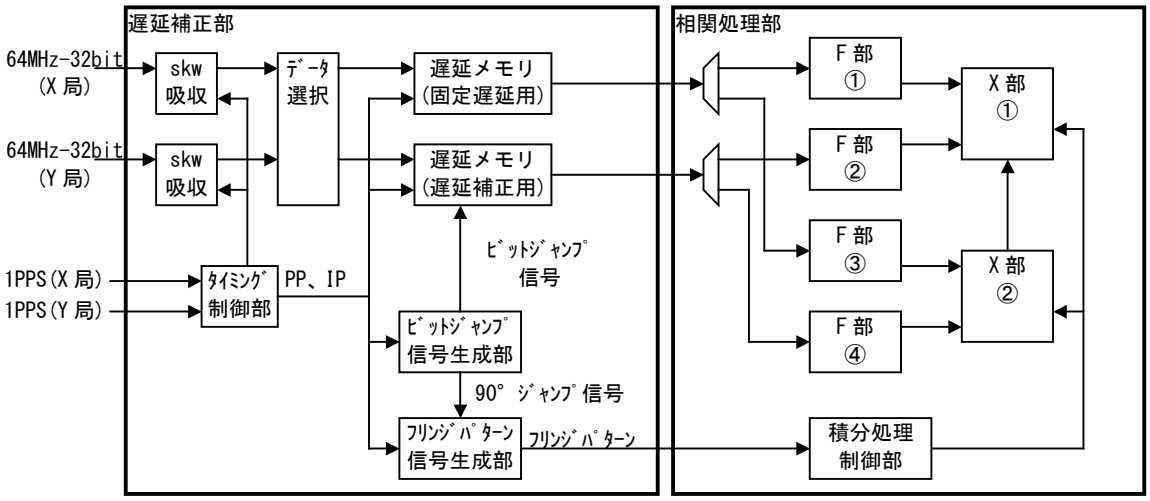
# 4 機能

## 4.1 機能概要

VDC-100F は VLBI 用の FX 型の相関器として、次の機能を持ちます。

・遅延補正
・フリンジ回転補正
・FFT 演算
・相関演算
・時間積分

これらの機能を実現するため、VDC-100F の 1 基線相関部は以下のようなブロック構成となります。




### 4.1.1 遅延補正部

遅延補正部(遅延補正ボード)は、既存のギガビット分散相関処理装置のものと同等です。

| ブロック | 機能 |
|---|---|
| skw 吸収 | X 局と Y 局からの入力データを、FIFO を使用して、skw を吸収します。 |
| データ選択 | 相関処理処理部へのデータを、X 局入力、Y 局入力、内部生成のテストデータから選択します。<br>テストデータには、TVG パターン、FIX パターン、インクリメントパターンがあります。 |
| 遅延メモリ | X 局側では固定遅延を行い、Y 局側では遅延補正を行います。 |
| タイミング制御部 | 入力された 1PPS を元に、skw 吸収の制御信号、PP 信号を生成します。 |
| ビットジャンプ信号生成部 | ハードウェアパラメータに基づき、ビットジャンプ信号および、90° ジャンプ信号を生成します。 |
| フリンジパターン信号生成部 | ハードウェアパラメータに基づき､フリンジパターン信号を生成します。 |

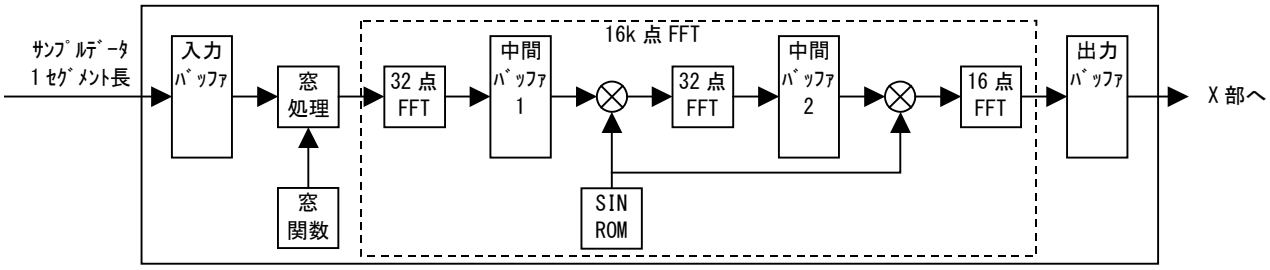
### 4.1.2 相関処理部

相関処理部では、16k 点の FX 相関処理を行います。

| ブロック | 機能 |
|---|---|
| F 部 | F 部では、16k 点の FFT を行います。<br>X 局入力、Y 局入力のそれぞれについて、2 並列の処理を行います。 |
| X 部 | X 部では、相関処理、フリンジ回転補正、積分処理を行います。<br>積分処理された結果は、更に X 部同士で加算を行います。 |
| 積分処理制御部 | X 部での積分処理の制御信号を生成します。<br>パルサーゲートパターンはここで生成され、フリンジパターン信号とマージされます。 |

4.2 相関処理部の機能詳細

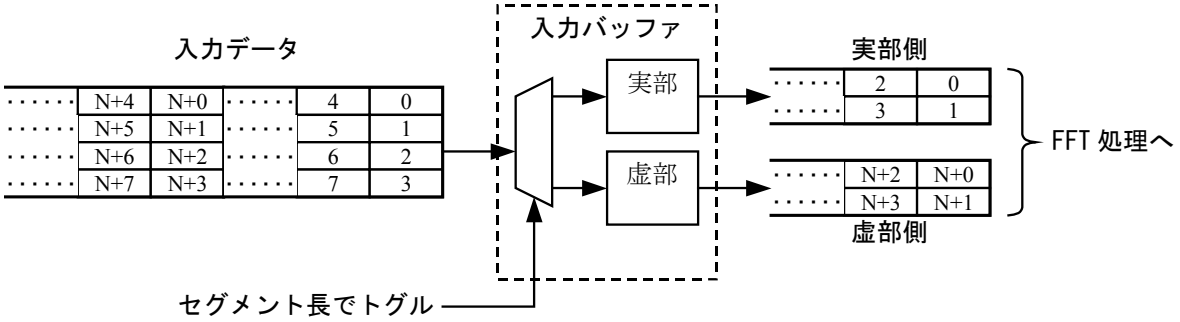
4.2.1 F 部構成




F 部構成図

4.2.1.1 入力バッファ

観測データが実数のみであるので、2 データから複素データを合成し、これに FFT 処理を行います。
2 データ合成は、入力バッファの Read/Write シーケンスの制御により実現しています。
1FFT セグメント長だけ離れた、入力 2 データを 1 つの複素データとしています。

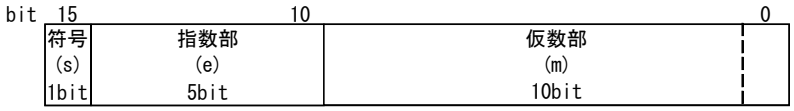



4.2.1.2 窓処理

窓処理ブロックでは、データ変換および窓関数の乗算を行います。

(1)データ変換

相関処理における、各種演算は、以下のような形式の 16bit 浮動小数点形式で行います。




表現する値は、

$$-1^{s}\cdot 2^{e-16}\cdot(1+m/1024)$$

となります。指数部(e)が 0 の場合は、仮数部にかかわらず $2^{-16}$ ではなく 0 とみなします。
窓処理を行う前に、2bit サンプリングデータを、16bit の浮動小数点に変換します。
入力データの変換値は、以下の表のようになります。

| Hbit | Lbit | 比率 | 値 |
|---|---|---|---|
| 0 | 0 | -4 | -1.000 |
| 0 | 1 | -1 | -0.250 |
| 1 | 0 | 1 | 0.250 |
| 1 | 1 | 4 | 1.000 |

(2)窓処理

FFT の前処理として、2 データ合成後のデータに窓関数を掛けます。
窓関数としては、

なし(方形窓)/Hamming/Hanning/Blackman

のいずれかを選択可能です。
窓関数は、相関処理開始以前に、制御計算機からのコマンドによる選択にしたがって、装置 CPU で展開します。

4.2.1.3 16k 点 FFT

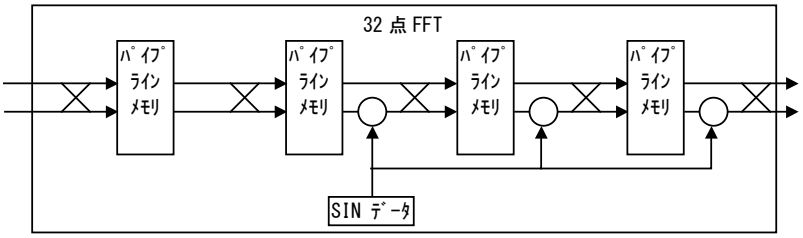
F 部では、16k 点の FFT を行います。

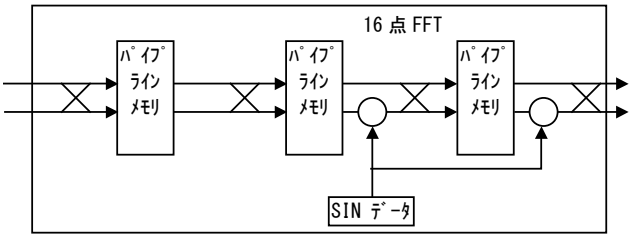
スルーレートの関係から、FFT 各段の処理をパイプライン的に行います。

パイプライン処理でのメモリ量を抑えるために、16k 点 FFT を、32 点 FFT+32 点 FFT+16 点 FFT に分割して実現します。

入力バッファの容量を抑えるため、窓処理は、FFT の直前で行います。

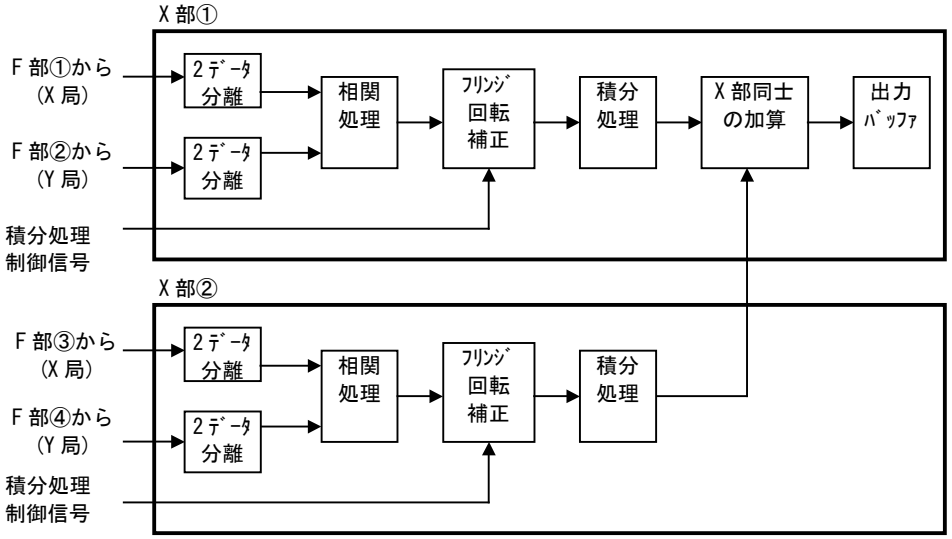
32 点 FFT、16 点 FFT は以下のような構成となっています。




各段でのバタフライ演算を、ひねり係数位相順となるように FFT シーケンスを制御しています。これにより、ひねり係数の ROM を最小限にしています。

4.2.2 X 部構成




X 部構成図

4.2.2.1 2 データ分離

F 部からのデータは、相関処理を行う前に、2 データ分離を行います。

2 データ分離処理は、入力されるデータの加減算を行い、F 部で合成された 2 データの成分を分離します。

4.2.2.2 相関処理

相関処理は、相互相関を行います。

4.2.2.3 フリンジ回転補正

積分処理制御信号として入力されるフリンジパターンと、パルサーゲートパターンに従って、積分処理部へ出力するデータを制御します。

フリンジ位相に従って、相関値を回転させ、フリンジ回転補正を行います。

結果として、補正後の相関値は以下の表のようになります。

フリンジ回転補正

| フリンジ位相 | 実部 R(補正後) | 虚部 I(補正後) |
|---|---|---|
| 337.5≦φ< 22.5 | +R0 | +I0 |
| 22.5≦φ< 67.5 | +R0-I0 | +R0+I0 |
| 67.5≦φ<112.5 | -I0 | +R0 |
| 112.5≦φ<157.5 | -R0-I0 | +R0-I0 |
| 157.5≦φ<202.5 | -R0 | -I0 |
| 202.5≦φ<247.5 | -R0+I0 | -R0-I0 |
| 247.5≦φ<292.5 | +I0 | -R0 |
| 292.5≦φ<337.5 | +R0+I0 | -R0+I0 |

R0：フリンジ回転補正前の実部、I0：フリンジ回転補正前の虚部

上記回転補正後、パルサーゲート処理を行います。

パルサーゲートがオフの場合、補正結果を積分処理部に出力し。オンの場合、“0”を出力します。

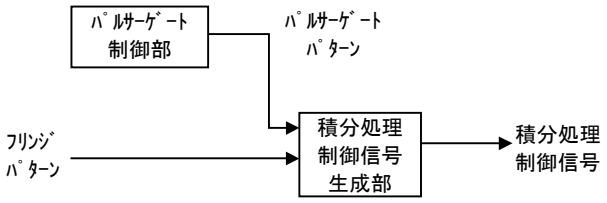
4.2.2.4 積分処理

相関結果を、一定時間（0.1 秒 or 1 秒）積分します。

4.2.2.5 X 部同士の加算

各 X 部で積分処理されたデータを、X 部①で加算処理を行います。

4.2.3 積分処理制御部




4.2.3.1 パルサーゲート制御部

パルサーゲート制御部は、

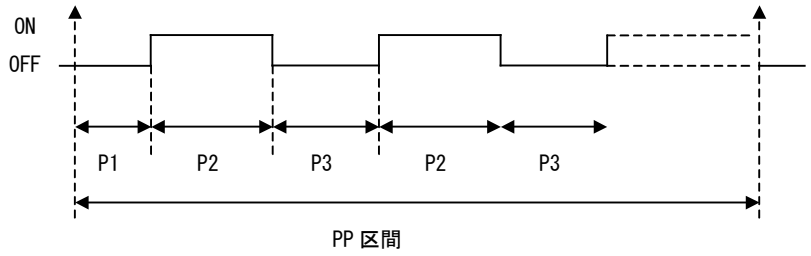
P1：PP の開始から最初にゲートを開くまでのクロック数

P2：ゲートを開いているクロック数

P3：ゲートを閉じているクロック数

の三つのカウンタでパルサーゲートパターンを生成します。

下図にパルサーゲートパターンを示します。ON のときに相関処理を行い、OFF のときには行いません。




4.2.3.2 積分処理制御信号生成部

フリンジパターン、パルサーゲートパターンに応じて、積分処理するための信号を生成します。

フリンジパターンとパルサーゲートパターンは、FFT セグメント境界でサンプリングします。

4.3 特記事項

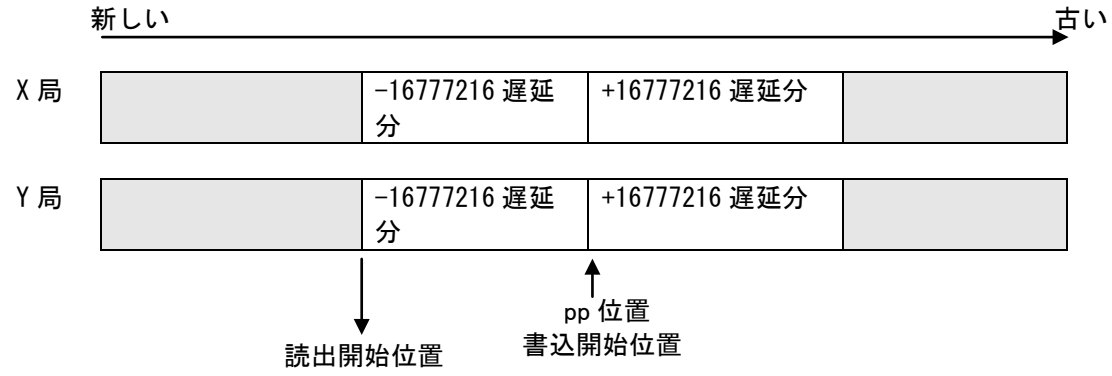
4.3.1 遅延補正範囲

VDC-100F は、X 局、Y 局それぞれに 32M サンプル分の遅延メモリを持ちます。遅延メモリは FIFO として動作します。

通常の場合、遅延補正範囲は±16M サンプルとなりますが、“FIFODSP”コマンドを用いると、この補正範囲を調整することが可能です。

(1)FIFODPS=0,0 の場合

FIFODPS はオフセット値 16777216(遅延メモリ中央値)に設定されます。このとき X/Y 両局の入力データとそれに対する遅延メモリの関係はそれぞれ 16777216bit 書きこまれたら読み出しを開始するため以下となり、この関係は以後継続されます。




従って、X 局が読出開始位置から pp 先頭を出力した時、Y 側が可能な遅延量範囲は±16777216bit となります。実際は FIFO 要素を持つ遅延メモリであるためマージン 16384bit(2048byte)をとり、±16760832bit となります。

(2)FIFODPS=+16000000,+16000000 の場合

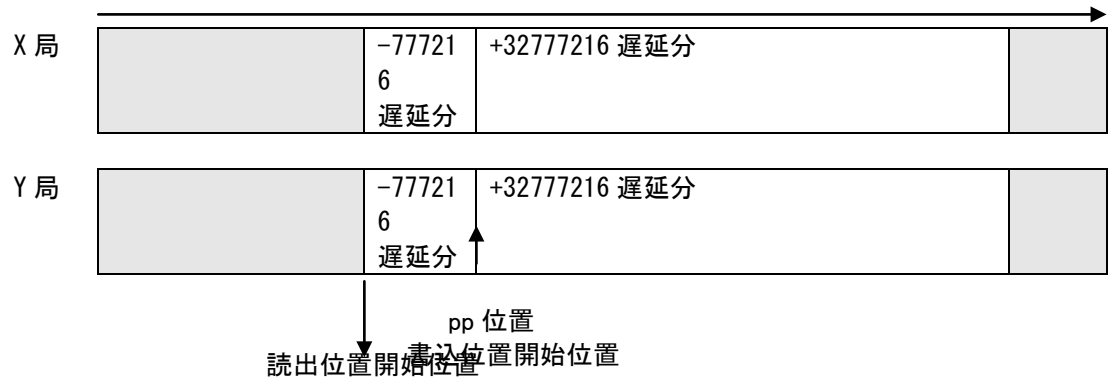
FIFODPS は 32777216 に設定されます。このとき X/Y 両局の入力データとそれに対する遅延メモリの関係はそれぞれ 32777216bit 書きこまれたら読み出しを開始するため以下となり、この関係は以後継続されます。

従って、X 局が読出開始位置から pp 先頭を出力した時、Y 側が可能な遅延量範囲は-32777216bit～+777216bit ｔｐなります。実際は FIFO 要素を持つ遅延メモリであるためマージン 16384bit(2048byte)をとり、-32760832bit～+760832bit となります。

a-c)FIFODPS=-16000000,-16000000 の場合

FIFODPS は 777216 に設定されます。このとき X/Y 両局の入力データとそれに対する遅延メモリの関係はそれぞれ bit 書きこまれたら読み出しを開始するため以下となり、この関係は以後継続されます。

新しい　　古い




従って、X 局が読出開始位置から pp 先頭を出力した時、Y 側が可能な遅延量範囲は-777216bit～+32777216bit
ｔｐなります。実際は FIFO 要素を持つ遅延メモリであるためマージン 16384bit(2048byte)をとり、
-760832bit～+32760832bit となります。

[付記]フリンジ補正方式
フリンジ補正の方式として、FFT1 セグメントごとに 45° 単位の補正を行います。
この場合、FFT１セグメント内でフリンジ位相が大きく変動しないことが条件となります。
この条件についての検討を以下に示します。

(1)最大フリンジ周波数
補正が 45° 単位なので、FFT1 セグメント内におけるフリンジ位相変動の許容値として、22.5° (1/16 回転)
以下を想定します。
今回は、1Gsps のデータを 16k 点で処理しますので、FFT１セグメント長は、

$$16384 / (1024 \times 10^{6}) = 16(\mu \mathrm{sec})$$

となります。
この間に、1/16 回転以下なので、許容できる最大のフリンジ周波数は、

$$(1/16) / (1.6 \times 10^{-5}) = 3.91(\mathrm{kHz})$$

となります。

(2)最大基線長
上記(1)のように、フリンジ周波数に上限が要求されるので、基線長にも制限が加わります。
フリンジ周波数 Fr は以下の式で与えられます。$\tau_g$'は、遅延時間の変化率になります。

$$Fr = Fo \times \tau_g' = Fo \times (L \times \omega / c)$$

Fo：観測周波数
L ：経度方向の基線長
$\omega$：地球の自転角速度 ($=7.27 \times 10^{-5}$)
c ：光の速度 ($=3 \times 10^{8}$)

これから、基線長Ｌについて、フリンジ周波数を 3.91kHz とした場合、

$$L = Fr / (Fo \times \omega / c) = (1.61 \times 10^{16}) / Fo$$

となり、これが基線長の上限となります。
下表に、観測周波数ごとの、許容される最大基線長を示します。

| 観測周波数 | 最大基線長 |
|---|---|
| 5GHz | 3220km |
| 8GHz | 2013km |
| 22GHz | 732km |
| 43GHz | 374km |
| 86GHz | 187km |

# 5 制御計算機インターフェイス

制御計算機インターフェイスの概要を示します。
詳細については、別冊の「制御制御計算機インターフェイス編」を参照してください。

## 5.1接続概要

VDC-100F は、制御計算機との間で、TCP/IP による LAN 接続が可能です。
接続パラメータを下表に示します。

| 項目 | 内容 | 備考 |
|---|---|---|
| インターフェイス | 10BASE-T/100BASE-T Ethernet | |
| プロトコル | TCP/IP | |
| IP アドレス | 192.168.100.4 | |
| ネットマスク | 255.255.255.0 | |
| ゲートウェイ | 0.0.0.0 | |
| 制御ポート番号 | 60000 | |
| データポート番号 | 60001 | |
| MAC アドレス | 00-08-9c-00-00-xx | |
| サービス | サーバー | |

VDC-100F は、電源投入またはリセット後、最初の確立要求(SYN)によりコネクションを確立します。
コネクション確立後、クライアント側からの終了要求(FIN)によりコネクションを終了します。
この間に、Ethernet リンクエラー、装置内部温度異常(70℃以上)が検出された場合には、VDC-100F から終了要求を送信し、コネクションを終了します。
それ以外では、コネクションは保持されたままとなります。このため、制御接続は完全先勝ちとなります。

## 5.2 コマンド概要

コマンドおよび応答は、すべて、セミコロン(;)で終了する ASCII 文字列とします。
制御計算器からのコマンドは、<CR+LF>、<LF>のいずれかを終端とします。
装置からのコマンド応答の終端は、<LF>となります。

コマンドの書式は以下の通りです。

“<cmd>,[<ss>][=][<prm1>,<prm2>,..,<prmn>];” :設定コマンド
“<cmd>,[<ss>]?[<prm1>,<prm2>,..,<prmn>];” :確認コマンド

<cmd>:コマンドキーワード
<ss>:ストリーム番号
<prmx>:パラメータ

また、コマンドに対する応答の書式は以下の通りです。

“!<cmd>,[<ss>]=<r>:[<prm1>,<prm2>,..,<prmn>];”:設定コマンド応答
“!<cmd>,[<ss>]?<r>:[<prm1>,<prm2>,..,<prmn>];”:確認コマンド応答

<cmd>:コマンドキーワード
<ss>:ストリーム番号
<ｎ>:応答コード
<prmx>:パラメータ

応答コード<n>は、以下のものが定義されています。

| <n> | 意味 |
|---|---|
| 0 | 正常にコマンドが受け付けられた |
| 1 | コマンド文字列に誤りがある |
| 2 | パラメータに誤りがある |
| 4 | 相関処理中に受け付けられないコマンドを受信した |

VDC-100F からの応答出力をもって、1 コマンドシーケンスが終了します。連続してコマンドを送る場合には、VDC-100F からの応答文字列を受け取ってから、次のコマンドを発行してください。

## 5.3 コマンド一覧

### 5.3.1 動作制御

| コマンド | 内容 | 備考 |
|---|---|---|
| INIT | 装置設定初期化 | |
| CORSTART= | 相関処理の開始 | |
| CORSTOP | 相関処理の停止 | |
| STTIME= | 開始時刻の設定 | |
| ENDTIME= | 終了時刻の設定 | |

### 5.3.2 初期設定

| コマンド | 内容 | 備考 |
|---|---|---|
| CLKSEL= | 内部動作クロックのソース選択 | |
| 1PPSSEL= | 内部動作１ＰＰＳのソース選択 | |
| DATAFMT= | 入力データフォーマットの設定 | |
| CORMODE= | 相関処理モードの設定 | |
| FIFODPS= | 遅延部の FIFO 深さの設定 | |
| PP= | ＰＰタイミング通知の設定 | |
| DATASEL= | 入力データの選択 | |
| WINDOW=wndw | 窓関数の選択 | VDC-100F で新規追加 |
| PGATE=ctl,p1,p2,p3 | パルサーゲートのパラメータ設定 | VDC-100F で新規追加 |
| IPTIM=ip | 積分時間の設定 | VDC-100F で新規追加 |

### 5.3.3 予測値計算/補正パラメータ設定

| コマンド | 内容 | 備考 |
|---|---|---|
| STATIONX= | X 局の観測局座標の設定 | |
| STATIONY= | Y 局の観測局座標の設定 | |
| SRCPOS,ss= | 電波星の位置の設定 | |
| CLKPRMX= | X 局の CLK オフセットの設定 | |
| CLKPRMY= | Y 局の CLK オフセットの設定 | |
| ERPWOB= | 地球回転パラメータの設定 | |
| FRQTAB,ss= | 観測周波数の設定 | |
| OFFSET,ss= | 遅延予測値計算のオフセット設定 | |
| SPLOFFSET,ss= | サンプル単位での遅延オフセットの設定 | |
| USEBB,ss= | ベースバンド処理の指定 | |
| APRI= | 内部予測値演算の有効無効の設定 | |
| APLICF= | CF からの遅延予測値読み込みの有効無効の設定 | |
| APLIDL= | 遅延予測値をダウンロードするファイル名の指定 | |
| APLIDLEND | 遅延予測値のダウンロード終了指定 | |
| APLIUL= | 遅延予測値ファイルのアップロード | |
| DLYTRK,ss= | 遅延補正のハードパラメータ設定 | |
| FRGROT,ss= | フリンジ回転補正のハードパラメータ設定 | |

### 5.3.4 監視/試験

| コマンド | 内容 | 備考 |
|---|---|---|
| BDSEL=nn | ビット分布を測定するストリーム番号指定 | |
| BITDST? | ビット分布測定結果の問い合わせ | |
| UTCTIME? | 入力時刻符号の問い合わせ | |
| STATUS? | 装置ステータスの問い合わせ | |
| FIXPTN= | 試験用固定値データの設定 | |
| TVRSTRT | 試験データの評価開始 | |
| TVRSTOP | 試験データの評価停止 | |
| CHECK? | 試験データの評価結果の問い合わせ | |

5.3.5 保守用

| コマンド | 内容 | 備考 |
|---|---|---|
| MEMWR=adr,data | 指定されたアドレスへのデータ書き込み | |
| MEMRD?adr,bit | 指定されたアドレスからデータ読み出し | |
| LOG? | 内部ログデータの問い合わせ | |
| SYSFLDL= | システムファイルのダウンロードファイル名の指定 | |
| SYSFLDLEND | システムファイルのダウンロード終了 | |
| SYSFLUL= | システムファイルのアップロード | |

# 7 外部接続

## 7.1 一基線相関部への入力データ

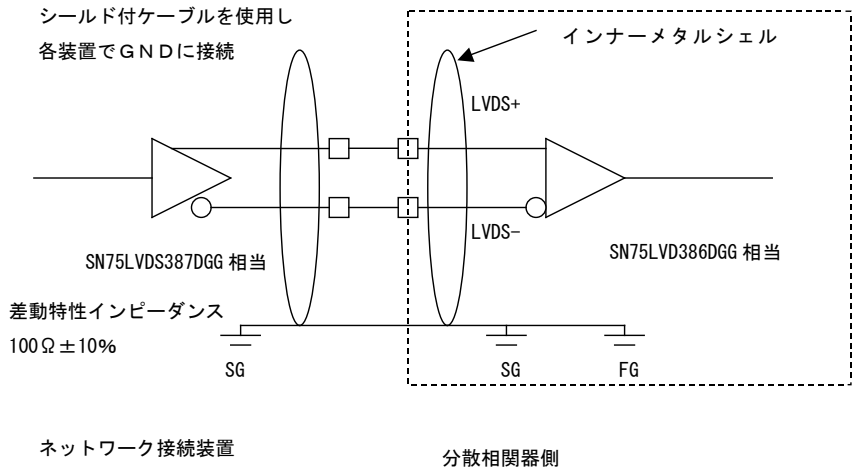
VSI-H 準拠

| | |
|---|---|
| データ | : 1Gsps-2bit(64MHz-32 並列) |
| CLK | : 64MHz |
| 1PPS | : 1CLK 幅以上 500nsec 以下 |
| VALID | : データ有効フラグ |
| 信号レベル | : LVDS |
| コネクタ | : MDR-80 ピン×2(X 局、Y 局) |

## 7.2 入力時刻符号

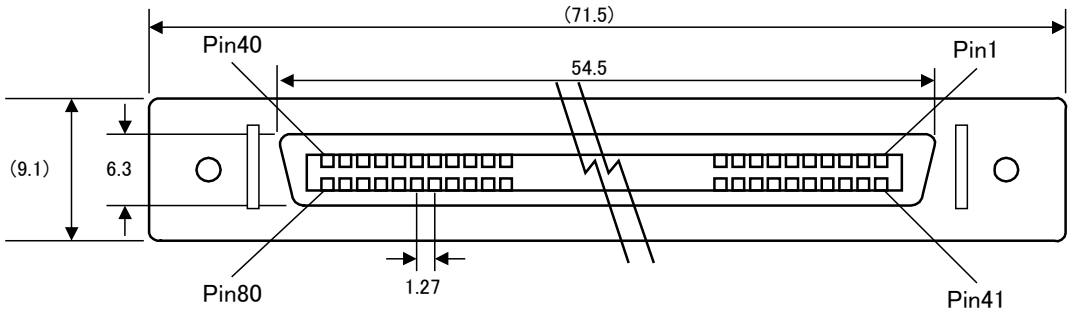
| | |
|---|---|
| QDATA | : シリアルインタフェース(ADS-1000 に適合) |
| 信号レベル | : LVDS |
| コネクタ | : 入力データと同コネクタにアサイン |
| 同期方式 | : 調歩同期式 |
| ボーレート | : 115.2Kbps |
| スタートビット | : 1bit |
| ストップビット | : 1bit |
| キャラクタ長 | : 8bit |
| パリティ | : なし |
| フロー制御 | : なし |

## 7.3 入力信号回路構成




## 7.4 コネクタ仕様

3M 製 : 10280-6202VC 相当



## 7.5 インターフェイス信号

インタフェース信号の名称と機能

| 信号名 | 機能 | I/O | 論理的条件 | 電気的レベル |
|---|---|---|---|---|
| CORD_H[15..0] | 伝送データ(MSB 側) | I | | LVDS |
| CORD_L[15..0] | 伝送データ(LSB 側) | I | | LVDS |
| R1PPS | 1 秒信号 | I | L→H 遷移が正 1 秒を示す | LVDS |
| QVALID | 有効フラグ | I | H:VALID/L:INVALID | LVDS |
| RCLOCK | 伝送クロック | I | 64MHz | LVDS |
| QCTL | | I | 未使用 | LVDS |
| QDATA | | I | シリアルインタフェース(時刻符号) | LVDS |
| ROT1PPS | 1 秒信号 | I | 本装置未使用 | LVDS |
| QSPARE1 | 予備 | I | 未使用 | LVDS |
| QSPARE2 | 予備 | I | 未使用 | LVDS |
| Frame GND | 装置間の FG 接続 | | 内部で SG に接続される | |

コネクタ：MDR80Pin（3M 製：10280-6202VC 相当）

| Pin | 信号名 | Pin | 信号名 | Pin | 信号名 | Pin | 信号名 |
|---|---|---|---|---|---|---|---|
| 1 | CORDH0+ | 21 | CORDH5+ | 41 | CORDH8+ | 61 | CORDH13+ |
| 2 | CORDH0- | 22 | CORDH5- | 42 | CORDH8- | 62 | CORDH13- |
| 3 | CORDL0+ | 23 | CORDL5+ | 43 | CORDL8+ | 63 | CORDL13+ |
| 4 | CORDL0- | 24 | CORDL5- | 44 | CORDL8- | 64 | CORDL13- |
| 5 | CORDH1+ | 25 | CORDH6+ | 45 | CORDH9+ | 65 | CORDH14+ |
| 6 | CORDH1- | 26 | CORDH6- | 46 | CORDH9- | 66 | CORDH14- |
| 7 | CORDL1+ | 27 | CORDL6+ | 47 | CORDL9+ | 67 | CORDL14+ |
| 8 | CORDL1- | 28 | CORDL6- | 48 | CORDL9- | 68 | CORDL14- |
| 9 | CORDH2+ | 29 | CORDH7+ | 49 | CORDH10+ | 69 | CORDH15+ |
| 10 | CORDH2- | 30 | CORDH7- | 50 | CORDH10- | 70 | CORDH15- |
| 11 | CORDL2+ | 31 | CORDL7+ | 51 | CORDL10+ | 71 | CORDL15+ |
| 12 | CORDL2- | 32 | CORDL7- | 52 | CORDL10- | 72 | CORDL15- |
| 13 | CORDH3+ | 33 | R1PPS+ | 53 | CORDH11+ | 73 | QCTL- |
| 14 | CORDH3- | 34 | R1PPS- | 54 | CORDH11- | 74 | QCTL+ |
| 15 | CORDL3+ | 35 | ROT1PPS+ | 55 | CORDL11+ | 75 | QDATA- |
| 16 | CORDL3- | 36 | ROT1PPS- | 56 | CORDL11- | 76 | QDATA+ |
| 17 | CORDH4+ | 37 | QVALID+ | 57 | CORDH12+ | 77 | QSPARE1- |
| 18 | CORDH4- | 38 | QVALID- | 58 | CORDH12- | 78 | QSPARE1+ |
| 19 | CORDL4+ | 39 | RCLOCK+ | 59 | CORDL12+ | 79 | QSPARE2- |
| 20 | CORDL4- | 40 | RCLOCK- | 60 | CORDL12- | 80 | QSPARE2+ |

## 7.6 入力データの時系列順番

古い ◀―――― ――――▶ 新しい

| | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| サンプラデータ時系列 | t0 | t1 | t2 | t3 | …… | t14 | t15 | t16 | t17 | t18 | t19 | …… | t30 | T31 | …… |
| 信号名 | CORDH0 | CORDH1 | CORDH2 | CORDH3 | …… | CORDH14 | CORDH15 | CORDH0 | CORDH1 | CORDH2 | CORDH3 | …… | CORDH14 | CORDH15 | …… |
| | CORDL0 | CORDL1 | CORDL2 | CORDL3 | …… | CORDL14 | CORDL15 | CORDL0 | CORDL1 | CORDL2 | CORDL3 | …… | CORDL14 | CORDL15 | …… |
| クロック時系列 | Ｔ１ | | | | | | | Ｔ２ | | | | | | | |

8 装置立ち上げ手順

8.1 事前確認

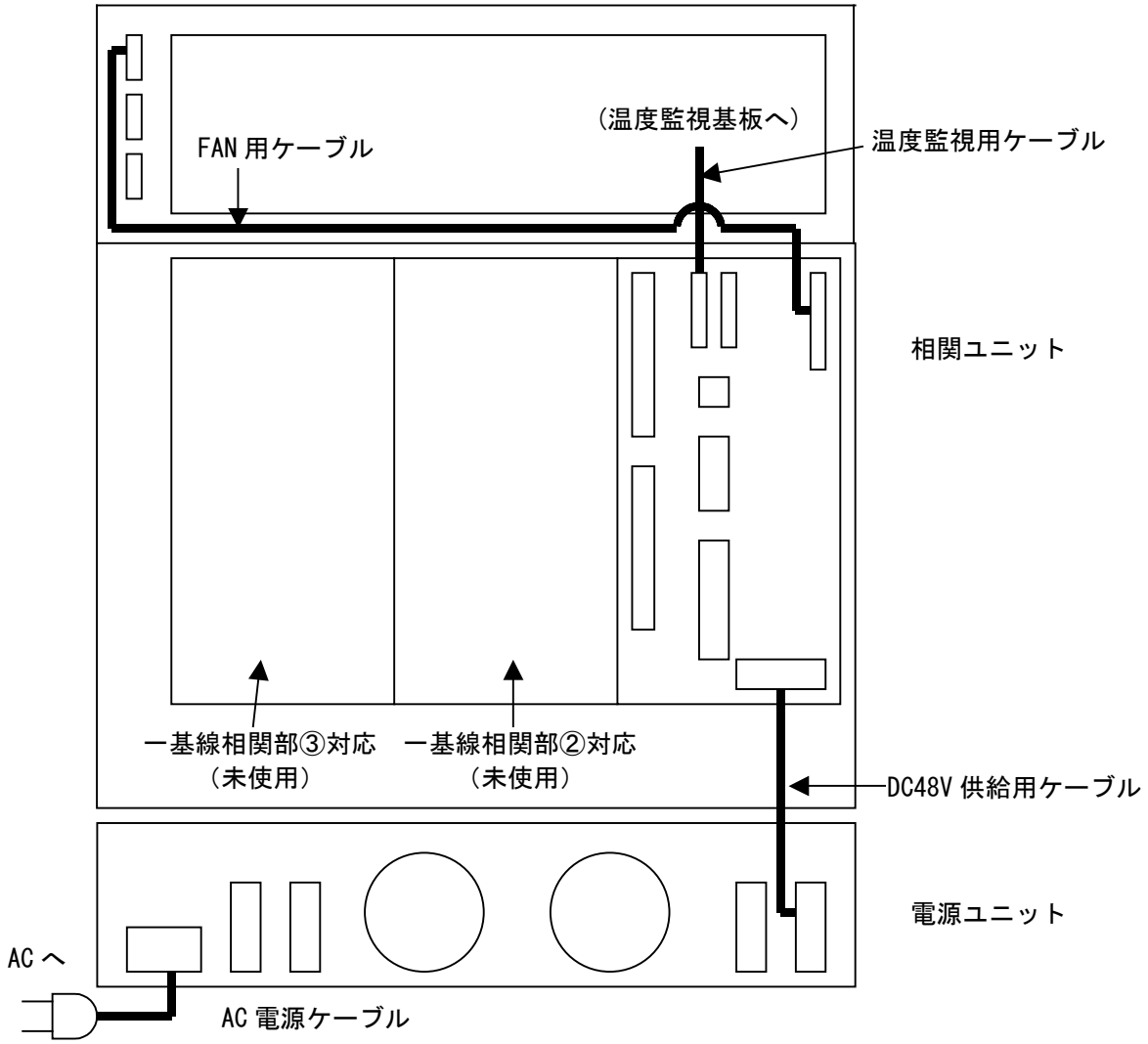
① 相関ユニット背面に、FAN 用ケーブルと温度監視用ケーブルがしっかりと接続されていることを確認してください。

② 相関ユニット背面と電源ユニット背面が、DC48V 供給用ケーブルでしっかりと接続されていることを確認してください。

③ 電源ユニットの AC 電源ケーブルを AC コンセントにしっかりと挿入してください。

④ 制御ボード正面の DIPSW が bit4 以外全て OFF（倒れている状態）になっていることを確認してください。bit4 については、起動モードにあわせて設定してください。

⑤ 制御ボード正面の CompactFlash™ カード格納用スロットに、CompactFlash™ カードがしっかりと挿入されていることを確認してください。




相関ユニット、電源ユニットを背面から見た図

8.2 スタートシーケンス

事前確認後、電源ユニットの電源投入スイッチのレバーをあげて、電源を ON にします。

電源 ON から起動するまでのシーケンスの詳細は、別冊の「表示操作編」を参照してください。

9 表示および操作

VDC-100F の本体ユニット正面扉には、3 セットの表示パネルが実装されています。1 セットが一基線に対応します。3 セット中 2 セットは将来の拡張用であり、一基線タイプでは使用しません。
表示パネルの LCD 画面および LED により、装置の動作状態などを表示します。

LCD の表示項目を下表に示します。

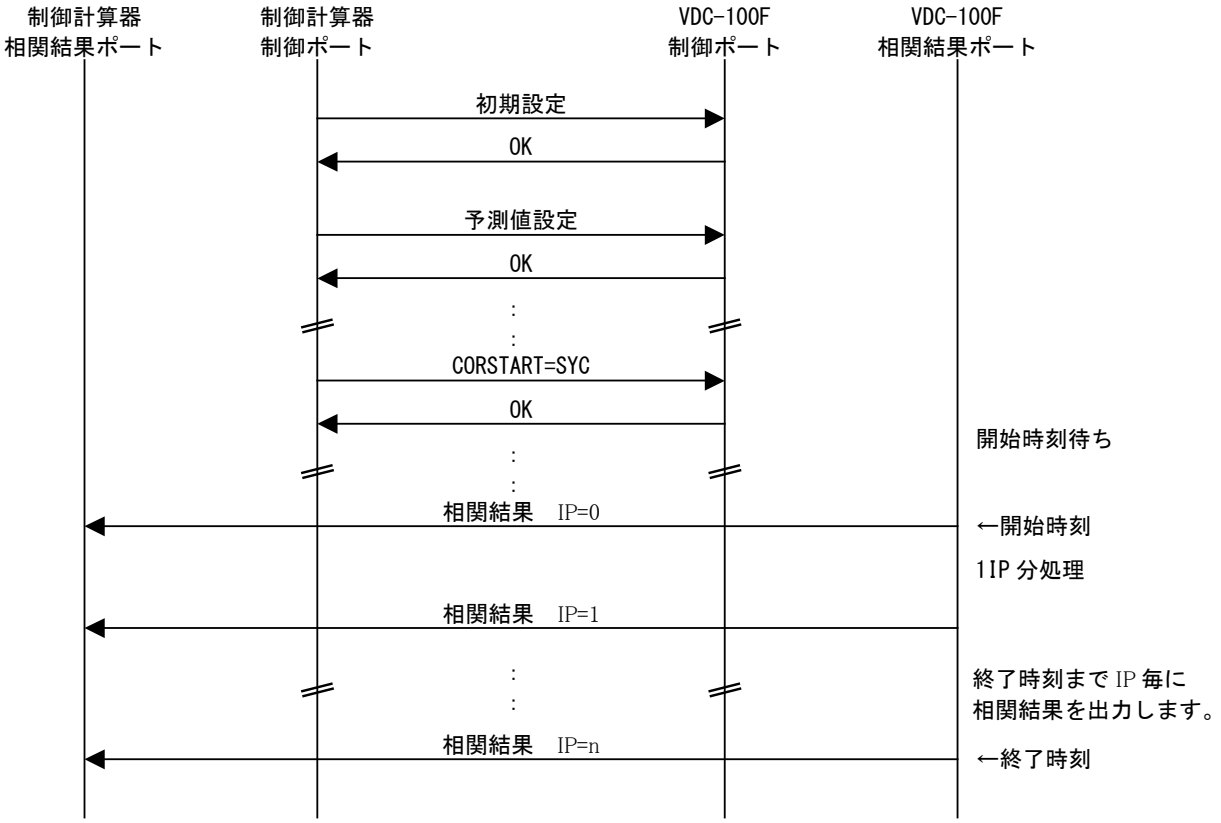
| 表示項目 | 表示内容 |
|---|---|
| バージョン情報 | 相関部ファームウエアのバージョン情報が表示されます。 |
| 入力データフォーマット | 指定された入力データフォーマットが表示されます。 |
| 相関処理モード | 指定された相関処理モードの確認が行なえます。 |
| 相関開始時刻、終了時刻 | 指定されている相関開始時刻、終了時刻の確認が行なえます。 |
| 相関スタートトリガ | 相関処理スタートの時の処理トリガが確認できます。 |
| 指定 CLK、1PPS 選択 | 相関処理での clk と 1PPS が選択されているかの確認できます。 |
| TVR モード | TVR のスタートとエラー結果が表示されます。 |
| UTC 時刻確認 | 入力されている UTC 時刻符号を確認できます。 |
| Bit 分布表示 | 指定されているビット分布を表示します。 |
| MAC アドレス | 内部 MAC アドレスの確認が行なえます。 |
| IP 番号、ポート番号 | 相関部の IP 番号とポート番号の確認が行なえます |
| サブネットマスク | 相関部のサブネットマスクの設定の確認が行なえます。 |
| デフォルトゲートウェイ | 相関部のデフォルトゲートウェイの設定確認が行なえます。 |
| 過去動態表示 | 過去 20 件分の受信コマンドログを表示します。 |
| ステータス表示 | 相関部の内部最新ステータスを表示します。 |
| スタートアップ | 電源投入時の表示 |
| 温度表示 | 冷却 FAN に実装されている温度センサーの温度情報を表示します。 |

詳細については、別冊の「表示操作編」を参照してください。

# 10 使用方法

## 10.1 通常運用

通常運用における相関開始～相関停止までのシーケンスを示します。




初期設定、予測値設定は、1コマンドごとにアプリケーションレベルで応答文字列が返ります。
正常応答の文字列を受け取ってから次のコマンドを発行します。
正常応答は
　　”!コマンド=0;”
です。

上記シーケンスは、START Mode が”SYC”の場合です。
この場合、VDC-100F は相関開始時刻を待って、相関処理を開始します。
START Mode が、ASY1,ASY2 の時には開始時刻に関わらず、相関処理を開始します。

相関結果は IP 毎に垂れ流しの状態で制御計算機に出力します。
終了時刻までの相関処理を行い、最後の相関結果を制御計算機に出力し、終了となります。
終了後は次の CORSTART コマンドを受け取るまで、相関結果は出力しません。

途中で、“CORSTOP”コマンドを受け付けた時には、次の IP から相関結果は出力しません。

10.2 予測値演算の内部生成による相関処理方法

VDC-100F は、装置内部で遅延予測値(τg、τg'、τg")を計算することが可能です。
初期設定において、

"APRI=ON;"
"APRICF=OFF;"

と設定することにより、VDC-100F は、設定される観測パラメータから遅延予測値を、装置内部で算出します。
観測パラメータは、以下のコマンドにより設定します。

| | |
|---|---|
| STATIONX | X 局の観測局座標の設定 |
| STATIONY | Y 局の観測局座標の設定 |
| SRCPOS | 電波星の位置の設定 |
| CLKPRMX | X 局の CLK オフセットの設定 |
| CLKPRMY | Y 局の CLK オフセットの設定 |
| ERPWOB | 地球回転パラメータの設定 |
| FRQTAB | 観測周波数の設定 |
| SPLOFFSET | サンプル単位での遅延オフセットの設定 |
| USEBB | ベースバンド処理の指定 |

10.3 予測値のダウンロードによる相関処理方法

VDC-100F は、外部で計算された遅延予測値をダウンロードして相関処理をすることが可能です。
初期設定において、

"APRI=ON;"
"APRICF=ON,<filename>;"

と設定することにより、VDC-100F は、CF カード上の<filename>から遅延予測値を読出します。
予測値ファイルの CF カードへのダウンロード方法については、

別冊「制御制御計算機インターフェイス編」5 遅延予測値ファイル

を参照してください。

CF にダウンロードされているファイルが EOF に達したときには、τg=0.0、τg'=0.0、τg"=0.0 として、ハードパラメータに展開されます。また、ファイルのフォーマットが間違っている場合にも、同様に予測値は全て 0 で処理されます
この場合、

"ERRCF=0:EOF,YYYYDDDHHMMSS;" (EOF 検出)
"ERRCF=0:FMT,YYYYDDDHHMMSS;" (フォーマットエラー)

のいずれかのエラーパケットが、制御計算機に出力されます。
それぞれの YYYYDDDHHMMSS は、ハードパラメータに展開する際の時刻符号を示します。

10.4 PP パケットによる相関処理方法

VDC-100F は、PP ごとの逐次的なハードパラメータの設定による相関処理が可能です。
初期設定において、

"PP=ON;"

とすることにより、相関開始後、PP タイミングの通知パケットを出力します。
また、

"APRI=OFF;"

とすることで、外部からのハードパラメータにより相関処理を行います。

制御計算機は、相関開始時刻と PP タイミング通知パケットの IP 番号により、パラメータ時刻を求め、対応するハードパラメータを設定します。
ハードパラメータは、以下のコマンドにより設定できます。

| | |
|---|---|
| DLYTRK | 遅延補正のハードパラメータ設定 |
| FRGROT | フリンジ回転補正のハードパラメータ設定 |

# 11 システムファイル

## 11.1 システムファイル概要

VDC-100F は、電源投入直後、CF カード上の、以下のようなシステムファイルに基づき初期設定を行います。

| 類別 | ファイル名 | 内容 |
|---|---|---|
| プログラム | apl.mot | 相関部専用のプログラムファイル |
| | dlyall.hex | 遅延補正ボード用の FPGA プログラムファイル |
| | dlyall2.hex | 遅延補正ボード用の FPGA プログラムファイル(直結用) |
| | fxc_in.hex | 相関処理ボード入力部用の FPGA プログラムファイル |
| | fxc_f.hex | 相関処理ボード F 部用の FPGA プログラムファイル |
| | fxc_x.hex | 相関処理ボード X 部用の FPGA プログラムファイル |
| ネットワーク設定 | ipadr.txt | IP アドレス設定用のファイル |
| | netmask.txt | サブネットマスク設定用のファイル |
| | dfltgate.txt | デフォルトゲートウェイ設定用のファイル |
| | macadr.txt | MAC アドレス設定用のファイル |
| | portctl.txt | 制御ポート番号設定用のファイル |
| | portcor.txt | 相関出力ポート番号設定用のファイル |

プログラムファイルは、それぞれ専用の開発ツールにより生成されたファイルです。
書き換えを行う場合には、必ず、当社までご連絡、ご確認ください。

ネットワーク設定ファイルは、それぞれ、1 行のテキストファイルです。
変更はフリーですが、ネットワーク管理者の指示に従って設定を行ってください。

## 11.2 システムファイルの変更

システムファイルの更新は、CF カード上のファイルを更新することで行えます。
CF カードは PCMCIA アダプタに装着され、制御ボードの PCMCIA スロットに実装されています。

以下、システムファイルの更新の手順を示します。

| No | 内容 |
|---|---|
| 1 | 装置の電源を OFF にし、制御ボードの PCMCIA スロットから PCMCIA アダプタを取り出します。<br>VDC-100F はホットスワップ非対応なので、必ず電源を OFF してください。 |
| 2 | ファイルを編集する PC に、CF カードを装着します。<br>PCMCIA アダプタをつけたまま行う場合には、TypeⅡスロットを使用してください。 |
| 3 | システムファイルの編集を行います。<br>ファイルシステムは FAT16 形式です。 |
| 4 | 編集後、CF カード上に、新しいシステムファイルを保存します。 |
| 5 | 保存後、CF カードに PCMCIA アダプタを装着し、制御ボードの PCMCIA スロットに挿入します。 |
| 6 | 装置の電源を ON にして、正常に動作することを確認します。 |

VDC-100F は、システムファイルをファイル名で認識します。
よって、変更したシステムファイルは同じファイル名で CF 上に保存してください。